

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-193545

⑬ Int.Cl.⁴

H 01 L 21/88

識別記号

庁内整理番号

J-6708-5F

⑭ 公開 昭和63年(1988)8月10日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路の製造方法

⑯ 特 願 昭62-24616

⑰ 出 願 昭62(1987)2月6日

⑱ 発 明 者 新 井 一 弘 神奈川県川崎市幸区小向東芝町1 株式会社東芝小向工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 井 上 一 男

明 細 書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

半導体基板の1主面に接地用電極を形成する工程、前記半導体基板を所望厚さに薄層化する工程、前記半導体基板の他主面の一部に開口を有するマスク層を形成する工程、前記開口を通して前記半導体基板にエッチングを施し前記接地用電極に到達する貫通孔を形成する工程、前記半導体基板の他主面上とこれと非接続に貫通孔底に第1の金属層を被着する工程、前記マスク層上の第1の金属層をマスク層とともにリフトオフにより除去する工程、前記半導体基板を前記第1の金属層が露出するように薄層化する工程、前記半導体基板の他主面に第2の金属層を形成しこれを前記貫通孔底の第1の金属層と接続させる工程を含む半導体集積回路の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は半導体集積回路の製造方法に関し、特にバイアホール構造を有するマイクロ波モノリシック集積回路(以下MMICと略称する)の接地手段に適用される。

(従来の技術)

砒化ガリウム(GaAs)を用いたMMICの特性を向上させ、特性のばらつきを小さくするためには、能動素子(FET)部および整合回路部の接地インダクタンスを低減し、その値にばらつきを生じさせないことが必要である。MMICの接地には、インダクタンスの低減および素子の小型化に有利なバイアホール構造による方法が多く用いられている。

以下、ソース電極と、整合回路素子を構成するキャパシタの下部電極とをバイアホール構造により接地電極に接続したMMICの製造方法の従来例につき第2図a～eを参照して説明する。

第2図aに示すように、GaAs半絶縁性基板100上にイオン注入法によって動作層(N層)101、抵抗層(N層)102、オーム性接触層(N⁺層)103を

選択的に形成したのち、上記オーム性接触層103、および抵抗層102上に写真蝕刻法でソース、ドレイン、抵抗層の各電極用のパターンニングを行ない金ゲルマニウム(AuGe)を蒸着する。続いてリフトオフ法により各電極パターンを形成したのち、450℃に加熱し合金化を行ない、ソース電極104s、ドレイン電極104d、抵抗層電極105a、105bを形成する。次に写真蝕刻法によりゲート電極、および整合回路素子を構成するキャパシタ下地電極のパターンニングを行ないアルミニウム(Al)を蒸着し、リフトオフによってゲート電極104g、整合回路を構成するキャパシタ下地電極106aを形成する。

次に整合回路素子を構成するキャパシタ用の絶縁膜として例えば Si_3N_4 層107をプラズマCVD(Chemical Vapor Deposition)法により厚さ2000Å堆積したのち、写真蝕刻法、およびフロンガス(CF_4)を用いたプラズマエッチング法によってソース電極104s、ドレイン電極104d、ゲート電極104gの各電極上に開孔を設ける。次に、写真蝕刻法により整合回路素子を構成するキャパシタ上

面電極のパターンニングを施し、チタン(Ti)、金(Au)を順次蒸着し、リフトオフによって整合回路素子を構成するキャパシタ上面電極106bを形成する(第2図b)。

次にGaAs半絶縁性基板100の表面側を例えば石英板108の支持板にワックス109で貼付けてラッピングとポリシングを施し、この基板の厚さを約100 μm に薄化したのち、フォトリジストの一例のAZ1350J(商品名、シブレイ社製)を用いた写真蝕刻法によってバイアホール用マスク層110を形成する(第2図c)。このマスク層110はGaAs半絶縁性基板100の表面に形成されているソース電極104s、整合回路素子を構成するキャパシタ下地電極106aに位置合わせされている。ついでりん酸系のエッチング液を用いてGaAs基板100にエッチングを施し、ソース電極104s、キャパシタ下地電極106aに到達するバイアホール111を形成する。続いて上記バイアホール用マスク層110を例えばJ-100(商品名)で除去する(第2図d)。

次に、GaAs半絶縁性基板100の裏面側、および

バイアホール111内を蒸着、あるいはめっきによりAuを約10 μm 被着して裏面電極112を形成し、ソース電極104s、およびキャパシタ下地電極106と電氣的に接続する。ここで、第3図はGaAs半絶縁性基板100の厚さ(バイアホール111の深さ)を100 μm としたとき、裏面電極の厚さを変えてソース電極表面と裏面電極間の電氣的な導通状態を調べた図である。この図から明らかなように、ソース電極表面と裏面電極間の電氣的な導通歩留を100%にするには裏面電極112を厚さ10 μm 以上にする必要がある。従って裏面電極の形成にあたってはその厚さを10 μm 以上にする。次にブレードダイサを用いて素子分離を行ない、最後に素子を石英板107から剥離して第2図eに示すMMICが得られる。

(発明が解決しようとする問題点)

上記従来の方法で得られたMMICは、接地インダクタンスが十分に小さく、高周波特性に優れている。しかし、このMMICは裏面電極112のAu層の厚さが10 μm と厚くなるため、素子間分離に通常用いられているダイヤモンドカッタによる素子分離手

段では達成できず、やむを得ずブレードダイサ等によらねばならなかった。その結果、GaAsの脆弱な性質により素子の欠け、割れを生じ著しい歩留低下を招き、そのために素子分離完了時点でMMICの製造コストが非常に高いものになっていた。

また、素子分離にダイヤモンドカッタを用いて分離を容易にするには、裏面電極の厚さを数千Åに薄層にしなければならず、ソース電極および整合回路素子を構成するキャパシタ電極と裏面電極の間の電氣的な導通歩留が著しく低下する。

この発明は上記従来の問題点に鑑みて、改良された半導体集積回路の製造方法を提供する。

(発明の構成)

(問題点を解決するための手段)

この発明にかかる半導体集積回路の製造方法は、半導体基板の1主面に接地用電極を形成する工程、前記半導体基板を所望厚さに薄層化する工程、前記半導体基板の他主面の一部に開口を有するマスク層を形成する工程、前記開口を通して前記半導体基板にエッチングを施し前記接地用電極に到達

する貫通孔を形成する工程、前記半導体基板の他主面上とこれと非接続に貫通孔底に第1の金属層を被着する工程、前記マスク層上の第1の金属層をマスク層とともにリフトオフにより除去する工程、前記半導体基板を前記第1の金属層が露出するように薄層化する工程、前記半導体基板の他主面に第2の金属層を形成しこれを前記貫通孔底の第1の金属層と接続させる工程を含むものである。

(作用)

この発明は裏面電極の厚さが薄く形成できるので、一般に用いられるダイヤモンドカッターで素子分離ができ、さらに、接地用電極と裏面電極間の電氣的接続も完全にできるので、接地インダクタンスが小さく、高周波特性の優れたMMICが形成できる。

(実施例)

以下、この発明の一実施例につき第1図を参照して説明する。

まず、GaAs半絶縁性基板100上の動作層(N層)11および抵抗層12の形成予定域に加速エネルギー

を照射してソース電極14s、ドレイン電極14d、ゲート電極14gの各電極上に開孔を設ける。次に、キャパシタ上面電極のパターニングを施し蒸着によりTi、Auを順次被着し、リフトオフを行なってキャパシタ上面電極16bを形成する(第1図c)。

次に、GaAs半絶縁性基板100の表面側に石英板108をワックス109で接着し、ラッピングとケミカルポリッシングにより厚さ150 μ mまで第1回目の薄層化を行なう。次にバイアホール用およびリフトオフ用のマスク層18としてAZ1350J(商品名、シブレイ社製)層を、写真蝕刻法によりソース電極14s、キャパシタ下地電極16aの各直下の位置に開孔して形成する。

次に、リン酸：過酸化水素水：水＝3：4：1のエッチング液でGaAs基板100にエッチングを施し、ソース電極14s、キャパシタ下地電極16aに到達するバイアホール19を形成する。このときバイアホールマスク層18は、GaAs基板100エッチングの際に生じるサイドエッチングによりバイアホール19の開孔に対してひさし状になる。

140KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ のシリコン(Si)イオンを選択的に注入する。次に、オーム性接触層(N⁺層)13形成予定域に加速エネルギー120KeVと250KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ のSiイオンを選択的に注入する。続いて850℃でアニールを施してSiイオンを活性化させて動作層11、抵抗層12、オーム性接触層13を形成させる(第1図a)。

次に、上記オーム性接触層13上、および抵抗層12上に写真蝕刻法でソース、ドレイン、抵抗層の各電極用パターニングを行ないAuGeを蒸着する。続いてリフトオフ法により各電極パターンを形成したのち、450℃の温度で合金化してソース電極14s、ドレイン電極14d、抵抗層電極15a、15bを形成する。次に写真蝕刻法によりゲート電極14gおよびキャパシタ下地電極のパターニングを行ないAuを蒸着し、リフトオフによって電極14g、キャパシタ下地電極16aを形成する(第1図b)。

次に、キャパシタ用として絶縁層17をプラズマCVD法により厚さ2000 \AA 堆積したのち、写真蝕刻法およびCF₄を用いたプラズマエッチング法によ

次に、第1の金属としてAu層を厚さ10 μ mにGaAs半絶縁性基板100裏面側より全面に蒸着して第1の金属層20a、20bを形成する(第1図d)。ここでバイアホール用およびリフトオフ用マスク層17のひさし状部分直上近傍のバイアホール19開孔に近い側面部は蒸着金属粒子に対してひさし状部分が遮るので蒸着されない。したがって蒸着された第1の金属層20a、20bはバイアホール底から開孔に近い部分に被着された第1の金属層20aと、リフトオフ用マスク層18に被着された第1の金属層20bに分かれる。

次にバイアホール用およびリフトオフ用マスク層18に被着した第1の金属層20bをアセトンまたはJ-100(商品名、長瀬産業製剥離剤)によってリフトオフを施す(第1図e)。

なお、上記バイアホールの開孔における第1の金属層が被着されない部分は、後に施される基板の第2の薄層化工程によって除去され、裏面電極形成時にバイアホール底の第1の金属層20aと裏面電極とは接続されて電氣的接続が達成される。

次に、GaAs半絶縁性基板100に第2の薄層化を施し、100 μ m厚になるまでラッピングとケミカルポリッシングによって達成する。このとき、パイアホール19側面に形成されている第1の金属層20aの端部はGaAs半絶縁性基板100裏面に充分露出している(第1図f)。

次にGaAs半絶縁性基板100裏面側に第2の金属層として厚さ5000 \AA にAu層を蒸着し、裏面電極21を形成する。ついでワックス109を消除してGaAs半絶縁性基板100を石英板108から離す。最後にダイヤモンドカッタを用いて素子分離を行ないMMICが得られる(第1図g)。

叙上の如くして裏面電極21はそのAu層の厚さが5000 \AA と薄く形成されるので、素子分離は通常用いられているダイヤモンドカッタによる方法で容易に達成される。これにより、素子歩留の低下を生ずることなく、また、パイアホール内の第1の金属層の厚さは10 μ mあるため、ソース電極104sおよびキャパシタ下地電極16aと裏面電極21の間の接続が完全に達せられた。

できる。ただし、RIEによる場合にはパイアホール用およびリフトオフ用マスク材もエッチングされるので、パイアホール用およびリフトオフ用マスク材は耐エッチング性に優れている金属系、あるいは Si_3N_4 /金属等とする方が望ましい。

〔発明の効果〕

この発明によれば、叙上の如く裏面電極の厚さを薄くできることから通常用いられているダイヤモンドカッタで容易に素子分離ができ、さらに接地用電極と裏面電極間の電氣的な接続も完全に達成できる。これにより、接地インダクタンスが小さく、高周波特性に優れたMMICを高歩留で再現性良く製造することができる顕著な利点がある。

4. 図面の簡単な説明

第1図a～gはこの発明にかかるMMICの製造工程を示すいずれも断面図、第2図a～eは従来のMMICの製造工程を示すいずれも断面図、第3図はパイアホール内のAu層の厚さを変えた場合のソース電極と裏面電極の導通歩留を示す線図である。

11, 101…動作層

なお、上記実施例ではパイアホール用およびリフトオフ用のマスクとしてAZ1350Jを用いていたが、これに限られず、他のマスク材、例えばOMR(商品名、東京応化工業製)、HPR(商品名、富士ハント社製)等、あるいは酸化シリコン(SiO_2)層、窒化シリコン(Si_3N_4)層およびリフトオフ可能な金属等、またはそれらの組合せ、例えば SiO_2 /OMR, OMR/金属, Si_3N_4 /金属等でもよい。

また、リフトオフ用の溶剤として、アセトン、J-100を用いたが、マスク材にその材質が SiO_2 , Si_3N_4 , Al等のもを用いた場合には、ふっ酸(HF)を用いる等、マスク材の材質に応じて溶剤を変えて施す。

さらに、GaAs半絶縁性基板に対する第2の薄層化はラッピングおよびケミカルポリッシングで行なったが、リン酸系、あるいは硫酸系等を用いたウェットエッチングによって行なってもよい。

また、パイアホールの形成にはリン酸系の溶剤によるウェットエッチングで行なう例を示したが、反応性イオンエッチング(RIE)等によっても達成

12, 102…抵抗層

13, 103…オーム性接触層

14s, 104s…ソース電極

14d, 104d…ドレイン電極

14g, 104g…ゲート電極

15a, 15b, 105a, 105b…抵抗層電極

16a, 106a…キャパシタ下地電極

16b, 106b…キャパシタ上面電極

17, 107…絶縁層

18…パイアホールマスク層

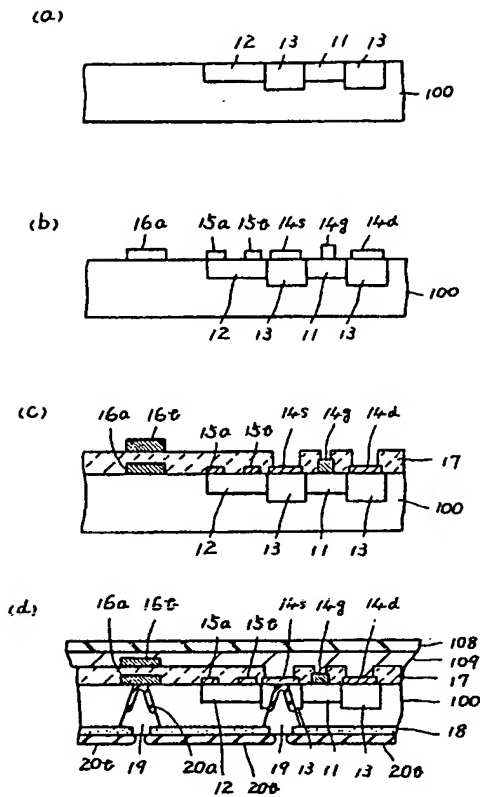
19…パイアホール

20a, 20b…第1の金属層

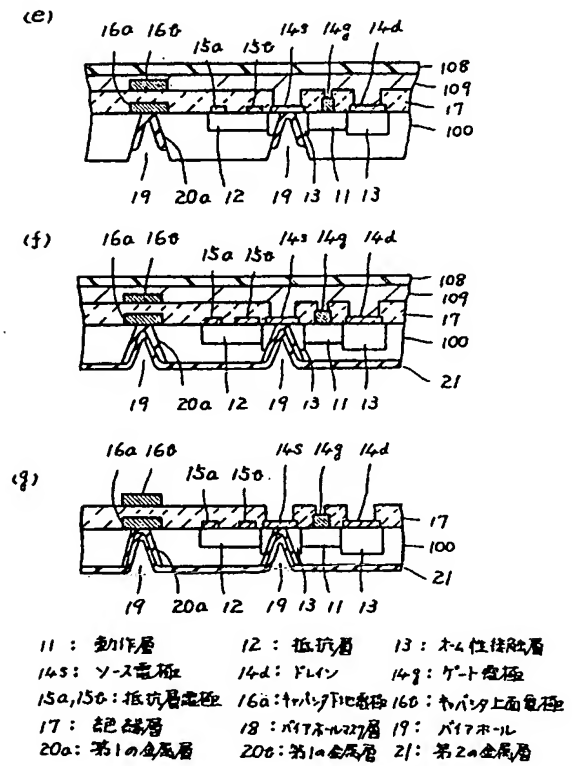
21…第2の金属層

100…GaAs半導体基板

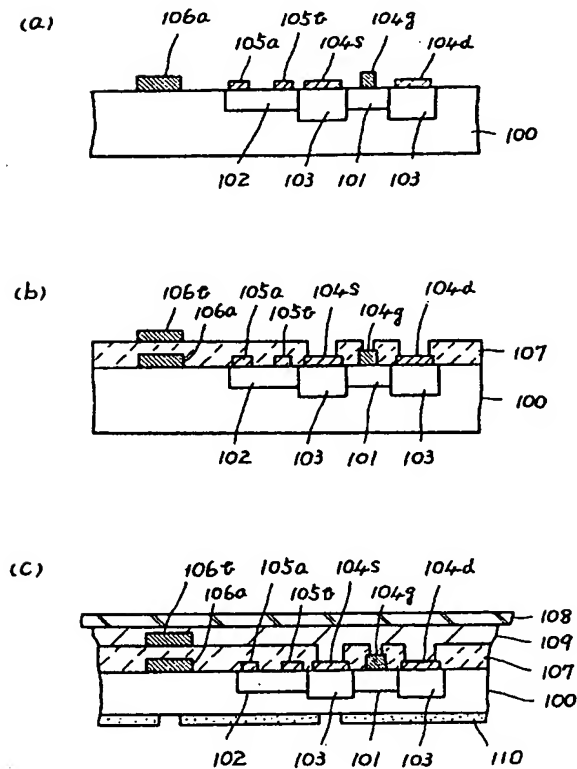
代理人 井理士 井上一男



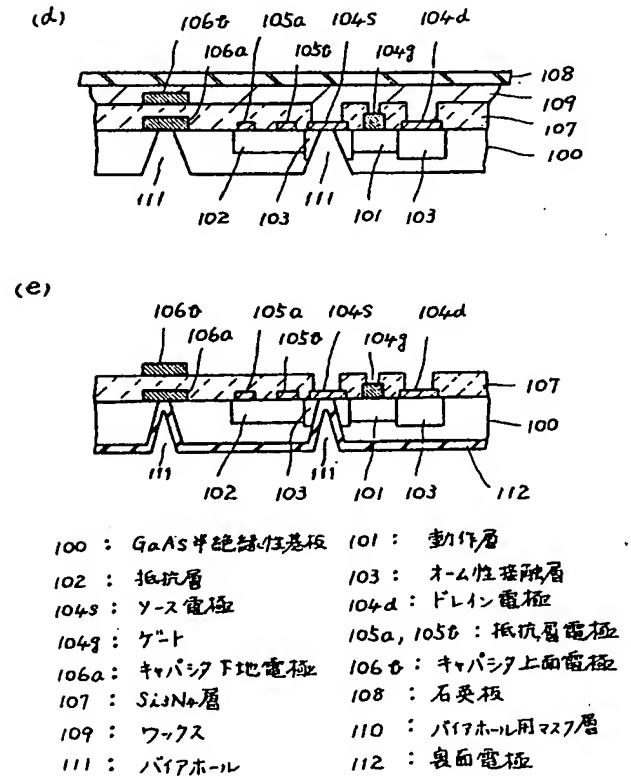
第 1 図 (その1)



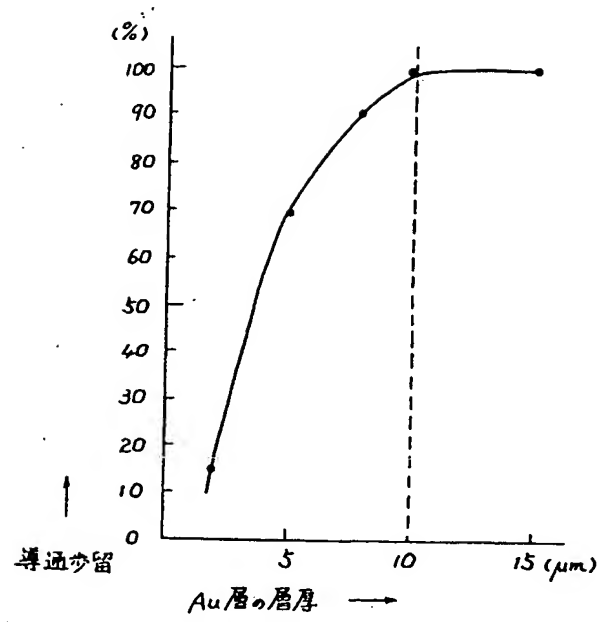
第 1 図 (その2)



第 2 図 (その1)



第 2 図 (その2)



第 3 図